

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-185727

(43)Date of publication of application : 06.07.2001

(51)Int.Cl. H01L 29/78
H01L 29/06
H01L 29/74

(21)Application number : 2000-191327

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 26.06.2000

(72)Inventor : HARADA YUICHI

(30)Priority

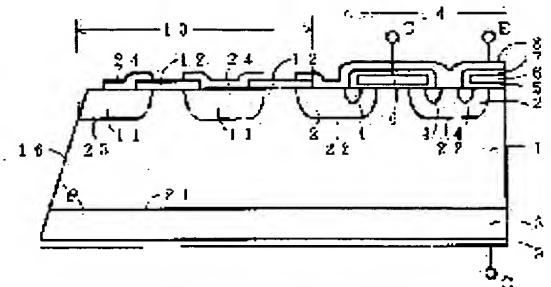
Priority number : 11293416 Priority date : 15.10.1999 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having withstand forward and reverse voltage characteristics, and a manufacturing method of the device.

SOLUTION: A positive bevel structure 16 is formed outside a withstand voltage structure 13 of a planar type of an IGBT. Forward withstand voltage is generated with the withstand voltage structure 13 of a planer type, and reverse withstand voltage is generated with the positive bevel structure 16.



1 n-ベース領域
2 p-コレクタ領域
3 p-コレクタ領域
4 n-ベース領域
5 p-コレクタ領域
6 p-コレクタ領域
7 p-コレクタ領域
8 p-コレクタ領域
9 p-コレクタ領域

1 p-コレクタ領域
2 p-コレクタ領域
3 p-コレクタ領域
4 p-コレクタ領域
5 p-コレクタ領域
6 p-コレクタ領域
7 p-コレクタ領域
8 p-コレクタ領域
9 p-コレクタ領域

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-185727

(P2001-185727A)

(43) 公開日 平成13年7月6日(2001.7.6)

(51) Int.Cl.⁷

H 0 1 L 29/78

29/06

29/74

識別記号

6 5 5

6 5 2

F I

H 0 1 L 29/78

29/06

29/74

テ-マ-ト*(参考)

6 5 5 F 5 F 0 0 5

6 5 2 N

V

審査請求 未請求 請求項の数18 O L (全 14 頁)

(21) 出願番号 特願2000-191327(P2000-191327)

(22) 出願日 平成12年6月26日(2000.6.26)

(31) 優先権主張番号 特願平11-293416

(32) 優先日 平成11年10月15日(1999.10.15)

(33) 優先権主張国 日本(J P)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 原田 祐一

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100088339

弁理士 篠部 正治

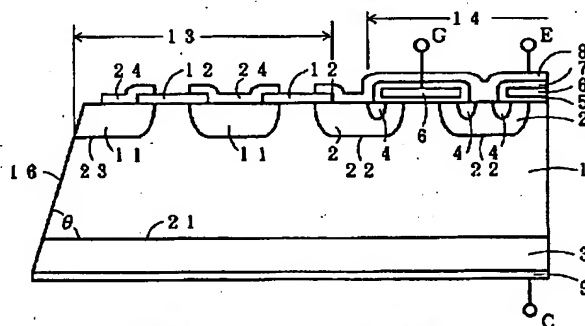
Fターム(参考) 5F005 BA02 BB01 CA04

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 順方向および逆方向の耐圧特性を有する半導体装置とその製造方法を提供する。

【解決手段】 IGBTのプレーナ型の耐圧構造13の外側にポジティブベベル構造16を形成する。プレーナ型の耐圧構造13で順方向耐圧を出し、ポジティブベベル構造16で逆方向耐圧を出す。



1...nベース領域
2...pベース領域
3...pコレクタ領域
4...nエミッタ領域
5...ゲート領域
6...ゲート電極
7...層間絶縁膜
8...エミッタ電極
9...コレクタ電極

11...p領域
12...酸化膜
13...ガードリング構造
14...活性領域
16...ポジティブベベル構造
21...p-n接合
22...p-n接合
23...p-n接合
24...金属膜

【特許請求の範囲】

【請求項1】第1導電形半導体基板の一方の主面側の表面層に、半導体基板より高濃度の第2導電形の第1領域を形成し、他方の主面側の表面層に、半導体基板の側面にpn接合が露出する、半導体基板より高濃度の第2導電形の第2領域を形成する半導体装置において、半導体基板の外周部の一方の主面側の表面層に、プレーナ型の耐压構造を形成し、前記他方の主面側の表面層に形成されたpn接合で、該pn接合が露出する半導体基板の側面に、第1ベベル構造の耐压構造を形成することを特徴とする半導体装置。

【請求項2】前記プレーナ型の耐压構造の最外周端は半導体基板の一方の主面側の表面層に形成された第2導電形の第3領域からなり、該第3領域は半導体基板の側面にpn接合露出部を形成し、該pn接合露出部に第2ベベル構造の耐压構造を形成することを特徴とする請求項1に記載の半導体装置。

【請求項3】前記第1ベベル構造がポジティブベベル構造もしくはネガティブベベル構造であることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記第1および第2ベベル構造が共にポジティブベベル構造もしくはネガティブベベル構造であることを特徴とする請求項2に記載の半導体装置。

【請求項5】前記プレーナ型の耐压構造が、ガードリング構造もしくはフィールドプレート構造の耐压構造であることを特徴とする請求項1または2に記載の半導体装置。

【請求項6】第1導電形半導体基板の一方の主面側の表面層に、半導体基板より高濃度の第2導電形の第1領域を形成し、他方の主面側の表面層に、半導体基板の側面にpn接合が露出し、半導体基板より高濃度の第2導電形の第2領域を形成する半導体装置で、半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐压構造を形成し、前記pn接合が露出する半導体基板の側面に第1ベベル構造の耐压構造を、該ベベル構造を、半導体基板の側面に傾斜をつけて形成すること特徴とする半導体装置の製造方法。

【請求項7】前記傾斜が、第2領域の方が広くなるように形成することを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】第1導電形半導体基板の一方の主面側の表面層に、半導体基板より高濃度の第2導電形の第1領域を形成し、他方の主面側の表面層に、半導体基板の側面にpn接合が露出する、半導体基板より高濃度の第2導電形の第2領域を形成する半導体装置で、半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐压構造を形成し、前記pn接合が露出する半導体基板の側面に第1ベベル構造の耐压構造を、該ベベル構造を一方の主面から第2領域に達する溝で形成すること特徴とする半導体装置の製造方法。

【請求項9】前記溝が半導体基板の他方の主面に達する溝で形成することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】第1導電形半導体基板の一方の主面側の表面層に、半導体基板より高濃度の第2導電形の第1領域を形成し、他方の主面側の表面層に、半導体基板の側面にpn接合が露出し、半導体基板より高濃度の第2導電形の第2領域を形成する半導体装置で、半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐压構造および半導体基板の側面に露出する第2導電形の第3領域を形成し、前記pn接合が露出する半導体基板の側面に第1ベベル構造を、該ベベル構造を一方の主面から第2領域に達する溝で形成し、該溝の表面に、第2領域とプレーナ型の耐压構造を構成し、前記第3領域と接する第4領域を形成することを特徴とする半導体装置の製造方法。

【請求項11】第1導電形半導体基板の一方の主面側の表面層に、半導体基板より高濃度の第2導電形の第1領域を形成し、他方の主面側の表面層に、半導体基板より高濃度の第2導電形の第2領域を形成し、前記半導体基板の外周部の一方の主面側の表面層に、プレーナ型の耐压構造を形成し、前記半導体基板の側面と、前記第1領域もしくは前記第2領域に接し、該第2領域と前記第1領域の間に第2導電形の第5領域を選択的に形成することを特徴とする半導体装置。

【請求項12】前記第5領域と前記半導体基板とのpn接合が露出する半導体基板側面に第3ベベル構造の耐压構造を形成することを特徴とする請求項11に記載の半導体装置。

【請求項13】前記第3ベベル構造の耐压構造が、一方の主面の第3領域から第2領域に達する溝により形成、該溝表面層に前記第5領域と、前記第2領域もしくは前記第1領域とに接する第6領域を形成することを特徴とする請求項12記載の半導体装置。

【請求項14】第1導電形半導体基板の一方の主面側の表面層に、該半導体基板より高濃度の第2導電形の第1領域を形成する工程と、他方の主面側の表面層に、前記半導体基板の側面に当たる箇所に、該半導体基板より高濃度の第2導電形で深い拡散深さの第5領域を選択的に形成する工程と、他方の主面側の表面層に、前記第5領域と接し、該第5領域より浅い拡散深さで、前記第5領域と接し、前記半導体基板より高濃度の第2導電形の第2領域を形成する工程と、前記半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐压構造を形成する工程と、前記半導体基板の側面に、前記一方の主面側から前記第5領域に達する第1ベベル構造の耐压構造を、前記半導体基板の側面に傾斜をつけて形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項15】第1導電形半導体基板の一方の主面側の表面層に、該半導体基板より高濃度の第2導電形の第1

領域を形成する工程と、他方の主面側の表面層に、前記半導体基板の側面に当たる箇所に、該半導体基板より高濃度の第2導電形で深い拡散深さの第5領域を選択的に形成する工程と、他方の主面側の表面層に、前記第5領域と接し、該第5領域より浅い拡散深さで、前記半導体基板より高濃度の第2導電形の第2領域を形成する工程と、前記半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐圧構造を形成する工程と、前記半導体基板の側面に、前記一方の主面側から前記第5領域に達する溝を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項16】第1導電形半導体基板の一方の主面側の表面層で、該半導体基板の側面に当たる箇所に、該半導体基板より高濃度の第2導電形で、深い拡散深さの第5領域を選択的に形成する工程と、前記一方の主面側の表面層に、前記第5領域と接し、該半導体基板より高濃度の第2導電形で浅い拡散深さの第1領域を形成する工程と、他方の主面側の表面層に、前記半導体基板より高濃度の第2導電形の第2領域を形成する工程と、前記半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐圧構造を形成する工程と、前記半導体基板の側面に、前記他方の主面側から前記第5領域に達する第2ベベル構造の耐圧構造を、前記半導体基板の側面に傾斜をつけて形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項17】第1導電形半導体基板の一方の主面側の表面層で、該半導体基板の側面に当たる箇所に、該半導体基板より高濃度の第2導電形で、深い拡散深さの第5領域を選択的に形成する工程と、前記一方の主面側の表面層に、前記第5領域と接し、前記半導体基板より高濃度の第2導電形で浅い拡散深さの第1領域を形成する工程と、他方の主面側の表面層に、前記半導体基板より高濃度の第2導電形の第2領域を形成する工程と、前記半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐圧構造を形成する工程と、前記半導体基板の側面に、前記他方の主面側から前記第5領域に達する溝を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項18】前記溝の表面層に第2導電形の第6領域を形成することを特徴とする請求項15または17に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、バイポーラトランジスタ、IGBT（絶縁ゲート型バイポーラトランジスタ）およびMOSFETなどの半導体装置とその製造方法に関し、特に、その周辺耐圧構造に関する。

【0002】

【従来の技術】現在、スイッチング半導体素子として、一般的にバイポーラトランジスタ、MOSFETおよび

IGBTがその用途に応じて使用されている。バイポーラトランジスタ（以下、BJTと称す：Bipolar Junction Transistor）は、飽和状態では伝導度変調を起こしていることからオン抵抗は小さいが、スイッチング速度、特に、ターンオフ時は、少数キャリアの蓄積による過剰キャリアが存在することから、ターンオフ時間が長くなり、比較的低周波数領域で用いられる。また、電流駆動素子であるために、駆動回路での発生損失が大きくなる。

【0003】これに対して、MOSFETは電圧駆動素子であることから、駆動回路での発生損失は小さく、また少数キャリアの蓄積がないので、スイッチング速度は速い。そのため、高周波数領域で用いられる。しかし、少数キャリアの注入に基づく伝導度変調が起こらないので、オン抵抗が大きくなる。

【0004】IGBTは、MOSFETと同様に、電圧駆動素子であるので、駆動回路での発生損失は小さく、BJTと同様に、少数キャリアの注入に基づく伝導度変調を起こすためにオン抵抗を小さくできる。しかし、ターンオフ時は少数キャリアの蓄積効果に加えて、空乏層の拡がりによる多数キャリアの掃き出しにより、コレクタ領域からnベース領域へ少数キャリアの再注入が起こり、ターンオフ時間は遅くなる。

【0005】従って、スイッチング回路においては、BJTやIGBTは定常損失は小さいがスイッチング損失が大きい特性を示すので、比較的低周波数領域で用いられることが多く、MOSFETは、逆に定常損失は大きいがスイッチング損失が小さいので比較的高周波数領域で用いられることが多い。これらの半導体素子は、インバータ回路やチョッパ回路で、フリーホイールダイオードを逆並列して使用され、電源は直流電源が多い。そのため、素子は、逆阻止能力を必要としないために、通常、これらの素子は順阻止能力のみを有している。

【0006】これは、例えば、前記で説明したMOSFETは、素子構造上、耐圧を維持できるpn接合は1個であり（他の1個のソース側のpn接合は短絡されている）、素子耐圧特性は一方向しか示さない。これに対して、BJTやIGBTは2個のpn接合を有しているので、原理的には素子耐圧特性は双方向を示すが、逆阻止能力を必要としないことから、逆阻止能力をもつチップ端面に露出したpn接合は、スクラバーで切断された機械的歪みを持った接合となっている。そのために、逆阻止能力はない。

【0007】図17は、従来のIGBTの要部断面図である。高比抵抗のn形半導体基板の表面層に、pベース領域102が形成され、裏面側の表面層にpコレクタ領域103が形成されている。pベース領域102とpコレクタ領域103に挟まれた領域がnベース領域101である。活性領域114であるpベース領域102の表面層にはnエミッタ領域104が形成されている。この

活性領域114の外側にはガードリング構造113（プレーナ型の耐圧構造の1種）が形成されている。nエミッタ領域104とnベース領域101に挟まれたpベース領域102上と、pベース領域102に挟まれたnベース領域101上にゲート酸化膜105を介してゲート電極106が形成される。nエミッタ領域104上、pコレクタ領域103上にエミッタ電極108とコレクタ電極109が形成される。エミッタ電極108とゲート電極106は層間絶縁膜107で絶縁されている。前記のガードリング構造113は、前記の活性領域114を取り囲むように、n形半導体基板の表面層にp領域111、酸化膜112および金属膜124を形成して作られる。前記したように、逆阻止能力をもつチップ端面に露出したpn接合部（A部）は、スクラバーで切断された機械的歪みを持った接合となっている。そのために、逆阻止能力はない。

【0008】一方、順阻止能力を有するpn接合の外周部には、図示したガードリング構造113や図示しないフィールドプレート構造など各種周辺耐圧構造を半導体チップの外周部に施して、素子の順方向の耐圧特性を安定に確保している。

【0009】

【発明が解決しようとする課題】最近、半導体電力変換装置において、直接リンク形変換回路という、双方向スイッチング素子を使った回路を用いて、AC（交流）／AC変換、AC／DC（直流）変換、DC／AC変換を行う各種変換装置が研究されている。双方向スイッチング素子を使用することで、回路の小型化、軽量化、高効率化、高速応答化および低コスト化を図ることができる。

【0010】従来素子は、前記したように、逆阻止能力がないために、直列にダイオードを接続して変換装置を構成する必要があり、ダイオードも含めた発生損失が大きくなり、変換装置の変換効率の低下を招き、また、素子点数が多くなり、変換装置の小型化、軽量化、低コスト化が困難となる。そのために、素子自身に逆素子能力を持たせることが必要となる。この発明の目的は、順方向および逆方向の耐圧特性を有する半導体装置とその製造方法を提供することにある。

【0011】

【課題を解決するための手段】前記の目的を達成するために、第1導電形半導体基板の一方の主面側の表面層に、半導体基板より高濃度の第2導電形の第1領域を形成し、他方の主面側の表面層に、半導体基板の側面にpn接合が露出する、半導体基板より高濃度の第2導電形の第2領域を形成する半導体装置において、半導体基板の外周部の一方の主面側の表面層に、プレーナ型の耐圧構造を形成し、前記他方の主面側の表面層に形成されたpn接合で、該pn接合が露出する半導体基板の側面に、第1ベベル構造の耐圧構造を形成する構成とする。

【0012】前記プレーナ型の耐圧構造の最外周端は半導体基板の一方の主面側の表面層に形成された第2導電形の第3領域からなり、該第3領域は半導体基板の側面にpn接合露出部を形成し、該pn接合露出部に第2ベベル構造の耐圧構造を形成するとよい。する請求項1に記載の半導体装置。

【0013】前記第1ベベル構造がポジティブベベル構造であるとよい。前記第1および第2ベベル構造が共にポジティブベベル構造であるとよい。前記プレーナ型の耐圧構造が、ガードリング構造もしくはフィールドプレート構造の耐圧構造であるとよい。第1導電形半導体基板の一方の主面側の表面層に、半導体基板より高濃度の第2導電形の第1領域を形成し、他方の主面側の表面層に、半導体基板の側面にpn接合が露出する、半導体基板より高濃度の第2導電形の第2領域を形成する半導体装置で、半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐圧構造を形成し、前記pn接合が露出する半導体基板の側面に第1ベベル構造の耐圧構造を、該ベベル構造を、半導体基板の側面に傾斜をつけて形成する製造方法とするとよい。

【0014】前記傾斜が、第2領域の方が広くなるように形成するとよい。第1導電形半導体基板の一方の主面側の表面層に、半導体基板より高濃度の第2導電形の第1領域を形成し、他方の主面側の表面層に、半導体基板の側面にpn接合が露出し、半導体基板より高濃度の第2導電形の第2領域を形成する半導体装置で、半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐圧構造を形成し、前記pn接合が露出する半導体基板の側面に第1ベベル構造の耐圧構造を、該ベベル構造を一方の主面から第2領域に達する溝で形成する製造方法とするとよい。

【0015】前記溝が半導体基板の他方の主面に達する溝で形成するとよい。第1導電形半導体基板の一方の主面側の表面層に、半導体基板より高濃度の第2導電形の第1領域を形成し、他方の主面側の表面層に、半導体基板の側面にpn接合が露出し、半導体基板より高濃度の第2導電形の第2領域を形成する半導体装置で、半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐圧構造および半導体基板の側面に露出する第2導電形の第3領域を形成し、前記pn接合が露出する半導体基板の側面に第1ベベル構造を、該ベベル構造を一方の主面から第2領域に達する溝で形成し、該溝の表面に、第2領域とプレーナ型の耐圧構造を構成し、前記第3領域と接する第4領域を形成する製造方法とする。

【0016】前記のように、プレーナ型の耐圧構造とベベル型の耐圧構造を形成することで、順方向耐圧特性は勿論のこと逆方向耐圧特性も得ることができる。また、第1導電形半導体基板の一方の主面側の表面層に、半導体基板より高濃度の第2導電形の第1領域を形成し、他方の主面側の表面層に、半導体基板より高濃度の第2導

電形の第2領域を形成し、前記半導体基板の外周部の一方の主面側の表面層に、プレーナ型の耐圧構造を形成し、前記半導体基板の側面と、前記第2領域に接し、該第2領域と前記第1領域の間に第2導電形の第5領域を選択的に形成する構成とする。

【0017】また、前記第5領域と前記半導体基板とのpn接合が露出する半導体基板側面に第3ベベル構造の耐圧構造を形成するとよい。また、前記第3ベベル構造の耐圧構造が、一方の主面の第3領域から第2領域に達する溝により形成、該溝表面層に前記第5領域と、前記第2領域もしくは前記第1領域とに接する第6領域を形成するとよい。

【0018】また、第1導電形半導体基板の一方の主面側の表面層に、半導体基板より高濃度の第2導電形の第1領域を形成する工程と、他方の主面側の表面層に、半導体基板の側面に当たる箇所に、該半導体基板より高濃度の第2導電形で深い拡散深さの第5領域を選択的に形成する工程と、他方の主面側の表面層に、前記第5領域と接し、該第5領域より浅い拡散深さで、半導体基板より高濃度の第2導電形の第2領域を形成する工程と、半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐圧構造を形成する工程と、前記半導体基板の側面に、前記一方の主面側から前記第5領域に達する第1ベベル構造の耐圧構造を、前記半導体基板の側面に傾斜をつけて形成する工程とを含む製造方法とする。

【0019】また、第1導電形半導体基板の一方の主面側の表面層に、半導体基板より高濃度の第2導電形の第1領域を形成する工程と、他方の主面側の表面層に、半導体基板の側面に当たる箇所に、該半導体基板より高濃度の第2導電形で深い拡散深さの第5領域を選択的に形成する工程と、他方の主面側の表面層に、前記第5領域と接し、該第5領域より浅い拡散深さで、半導体基板より高濃度の第2導電形の第2領域を形成する工程と、半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐圧構造を形成する工程と、前記半導体基板の側面に、前記一方の主面側から前記第5領域に達する溝を形成する工程とを含む製造方法とする。

【0020】また、第1導電形半導体基板の一方の主面側の表面層で、該半導体基板の側面に当たる箇所に、該半導体基板より高濃度の第2導電形で、深い拡散深さの第5領域を選択的に形成する工程と、前記一方の主面側の表面層に、前記第5領域に接し、前記半導体基板より高濃度の第2導電形で浅い拡散深さの第1領域を形成する工程と、他方の主面側の表面層に、前記半導体基板より高濃度の第2導電形の第2領域を形成する工程と、前記半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐圧構造を形成する工程と、前記半導体基板の側面に、前記他方の主面側から前記第5領域に達する第2ベベル構造の耐圧構造を、前記半導体基板の側面に傾斜をつけて形成する工程とを含む製造方法とする。

【0021】また、第1導電形半導体基板の一方の主面側の表面層で、該半導体基板の側面に当たる箇所に、該半導体基板より高濃度の第2導電形で、深い拡散深さの第5領域を選択的に形成する工程と、前記一方の主面側の表面層に、前記第5領域と接し、前記半導体基板より高濃度の第2導電形で浅い拡散深さの第1領域を形成する工程と、他方の主面側の表面層に、前記半導体基板より高濃度の第2導電形の第2領域を形成する工程と、前記半導体基板の外周部の一方の主面の表面層に、プレーナ型の耐圧構造を形成する工程と、前記半導体基板の側面に、前記他方の主面側から前記第5領域に達する溝を形成する工程とを含む製造方法とする。

【0022】また、前記溝の表面層に第2導電形の第6領域を形成するとよい。このように、第5領域および第6領域を設けることで、順方向耐圧特性は勿論のこと逆方向耐圧特性も得ることができる。

【0023】

【発明の実施の形態】以下の実施例の説明ではすべて、第1導電形をn形、第2導電形をp形とするが、これを逆にすることもできる。図1は、この発明の第1実施例の半導体装置の要部断面図である。半導体装置としては、IGBTを例にとり説明する。

【0024】高比抵抗のn形半導体基板の表面層に、pベース領域2が形成され、裏面側の表面層にpコレクタ領域3が形成されている。pベース領域2とpコレクタ領域3に挟まれた領域がnベース領域1である。活性領域14であるpベース領域2の表面層にはnエミッタ領域4が形成されている。この活性領域14の外側にはガードリング構造13（プレーナ型の耐圧構造の1種）が形成されている。nエミッタ領域4とnベース領域1に挟まれたpベース領域2上と、pベース領域2に挟まれたnベース領域1上にゲート酸化膜5を介してゲート電極6が形成される。nエミッタ領域4上、pコレクタ領域3上にエミッタ電極8とコレクタ電極9が形成される。エミッタ電極8とゲート電極6は層間絶縁膜7で絶縁されている。ゲート電極6、エミッタ電極8およびコレクタ電極9とゲート端子G、エミッタ端子Eおよびコレクタ端子Cがそれぞれ接続する。前記のガードリング構造13は、前記の活性領域14を取り囲むように、n形半導体基板の表面層にリング状の数本（ここでは外周端も含め2本）のp領域11を形成し、このリング状に形成された複数の独立したp領域11の間の表面に酸化膜12を形成し、このp領域11上に金属膜24を形成することで、作られる。この構成では、ベース領域1とpコレクタ領域3によりpn接合が形成される、所謂、ノンパンチスルー型のIGBTであり、ベース領域1とpコレクタ領域の間にn⁺バッファ層を有するパンチスルー型のIGBTに比べ、大きな逆方向耐圧を得ることができる。

【0025】n形半導体基板の外周端部は、pn接合2

1の面を横切る半導体基板の端面の表面を直線斜面になるように機械研磨加工し、化学処理で加工層を除去する。この加工面がベベル構造の面となり、ここでは、高濃度領域(pコレクタ領域3)が低濃度領域(nベース領域1)よりも、断面図で広くなるように、pn接合21に対してポジティブベベル構造18を形成する。この実施例では、pコレクタ領域3の方をnベース領域1より広くなるように加工する。このベベル加工面とpn接合21面との角度 θ が、30度から60度程度になるように加工する。このようにして、pn接合21に対してポジティブベベル構造16を形成する。

【0026】尚、前記のことを再度説明すると、ポジティブベベル構造とは、低濃度領域の端部の面(ここでは、nベース領域1の端部の面のこと)とpn接合21との角度 θ が90度より小さくなるように端部を加工した耐圧構造とも言える。これに対してネガティブベベル構造とは、高濃度領域の端部の面とpn接合との角度が90度より小さくなるように端部を加工した耐圧構造のことである。勿論、ベベル加工された表面には図示しない表面保護膜が被覆される。ここでは、このベベル加工面は、直線状の傾斜面をしている。

【0027】このIGBTの順方向の耐圧特性は、ゲート電極6に零Vまたは負の電圧を印加あるいはゲート・エミッタ電極を短絡させた状態でコレクタ電極9に正の電圧を印加したときに、nベース領域1とpベース領域2のpn接合22が逆バイアス状態になり、このpn接合22の降伏電圧が素子耐圧となる。このプレーナ型の半導体素子では、空乏層が半導体素子の外周部に向かって横方向に広がる。プレーナ型の耐圧構造であるガードリング構造13により、空乏層を外側に広がりやすくして、素子の順方向耐圧を得ている。

【0028】一方、コレクタ電極9に負の電圧(エミッタ電極8に正の電圧)を印加した場合、nベース領域1とpコレクタ領域3の端面は、前記したように、ポジティブベベル構造16(正ベベル構造)の加工がなされ、そのため、nベース領域1およびpコレクタ領域3に広がった空乏層の端面表面での電界強度は小さくなり、素子の逆方向耐圧を得ている。特に、前記したように、角度 θ を30度から60度程度にすることで、ベベル加工面での電界強度を半導体基板内部での電界強度より低下させることができ、高い逆方向耐圧を得ることができる。

【0029】この実施例では、順方向耐圧をプレーナ型の耐圧構造で得て、逆方向耐圧をベベル構造の耐圧構造で得ている。図2は、この発明の第2実施例の半導体装置の要部断面図である。図1との違いは、ポジティブベベル構造16をネガティブベベル構造17にした点であり、その他は、図1と同じである。この構造では、逆方向耐圧が図1より得にくい、pn接合23に対しては

3と相まって順方向耐圧は得やすい。

【0030】図3は、この発明の第3実施例の半導体装置の要部断面図である。図1との違いは、pn接合21とpn接合23の両方のpn接合に対してもポジティブベベル構造の加工がなされたダブルポジティブベベル構造18にした点である。また、このダブルポジティブベベルのことを Σ ベベルともいう。この場合は、逆方向耐圧が得やすいことは勿論のこと、順方向耐圧も得やすい。特に、順方向耐圧は、ガードリング構造13と、ダブルポジティブベベル構造18の双方で分担するので、電界強度が小さくなり、耐圧構造部を縮小して、チップサイズを小型化できる。

【0031】図4は、この発明の第4実施例の半導体装置の要部断面図である。図1との違いは、ポジティブベベル構造16を形成する箇所に、pn接合21を横切るようにエミッタ側の半導体基板表面から溝31を形成した点である。この溝31の面が、pn接合21に対してポジティブベベル構造となり、図1と同じ効果が得られる。また、ベベル加工面にガラスなどの保護膜を被覆する場合に、この溝31にガラスなどを充填することで容易に保護膜を被覆することができる。

【0032】図5は、この発明の第5実施例の半導体装置の要部断面図である。図4との違いは、コレクタ側の半導体基板表面から溝32を形成した点である。図2と同じ効果が得られる。図6は、この発明の第6実施例の半導体装置の要部断面図である。図4との違いは、溝がコレクタ側の半導体基板表面に達している点である。溝側面41がpn接合21に対してポジティブベベル構造の加工面となる。図4と同じ効果が得られる。

【0033】図7は、この発明の第7実施例の半導体装置の要部断面図である。図5との違いは、溝がコレクタ側の半導体基板表面に達している点である。溝側面42がpn接合21に対してネガティブベベル構造の加工面となる。図2と同じ効果が得られる。図8は、この発明の第8実施例の半導体装置の要部断面図である。これは、溝をエミッタ側およびコレクタ側の双方の半導体基板表面から形成し、この溝がnベース領域1の中央部に接するようにしたものである。溝側面はpn接合21、23に対してともにネガティブベベル構造となる。この場合は、ポジティブベベル構造に比べて逆方向耐圧は得にくい構造ではあるが、ベベル面の表面処理を適正に行うことで、十分逆方向耐圧を得ることができる。

【0034】図9は、この発明の第9実施例の半導体装置の要部断面図である。図4との違いは、溝31の最低面から外側を切断除去した点である。溝側面44がpn接合21に対してポジティブベベル構造となる。効果は図6と同じである。図10は、この発明の第10実施例の半導体装置の要部断面図である。図5との違いは、溝32の最低面から外側を切断除去した点である。溝側面45がpn接合21に対してネガティブベベル構造とな

る。効果は図 7 と同じである。

【0035】図 11 は、この発明の第 11 実施例の半導体装置の要部断面図である。図 5 との違いは、溝 46 が p n 接合 21 は横切るが、p n 接合 23 に達していない点である。この溝 46 の表面が、p n 接合 21 に対してネガティブベベル構造となる。逆方向の耐圧特性において、図 5 と同じ効果が得られる。図 12 は、この発明の第 12 実施例の半導体装置の要部断面図である。図 8 との違いは、溝 47、48 をエミッタ側およびコレクタ側の双方の半導体基板表面から接しないように形成した点である。効果は図 8 と同じである。

【0036】図 13 は、この発明の第 13 実施例の製造方法で、同図 (a)、同図 (b) は工程順に示した要部工程断面図である。この製造工程は、図 1 の半導体装置の製造工程例である。n ベース領域 1、p ベース領域 2、p コレクタ領域 3、n エミッタ領域 4、ガードリング構造 14、ゲート電極 6、エミッタ電極 8 およびコレクタ電極 9 などを形成する (同図 (a))。その後、n ベース領域 1 と p コレクタ領域 3 の p n 接合 21 を横切るチップ端面の表面が p n 接合 21 に対してポジティブベベル構造になるように、点線で示すように、端面の表面を斜面 25 (角度 θ) になるように、機械研磨と化学処理で形成し (同図 (b))、ポジティブベベル構造 16 とする。その後でポジティブベベル構造 16 の表面に、図示しない保護膜を被覆する。この角度 θ は図 1 で説明したように、30 度から 60 度程度にする。

【0037】図 14 は、この発明の第 14 実施例の製造方法で、同図 (a)、同図 (b) は工程順に示した要部工程断面図である。この製造工程は、図 4 の半導体装置の製造工程例である。ガードリング構造 13 となる箇所の外側に、n ベース領域 1 の p n 接合 21 近傍に達する溝 51 を形成する (同図 (a))。その後、この溝 51 の表面層を化学処理 (エッチング) により除去する。このとき、エッチング後の溝 31 の底部の深さを p n 接合 21 を横切る深さにする (同図 (b))。その後、溝 31 を図示しないガラスなど絶縁膜でパッシベーションする。このようにして、図 4 の半導体装置が完成する。

【0038】図 5 から図 12 の半導体装置の製造方法は、図 14 と同様の製造方法である。ただし、図 14 と違うのは、溝 51 の底部の深さが異なっている点である。図 15 は、この発明の第 15 実施例の製造方法で、同図 (a)、同図 (c) は工程順に示した要部工程断面図である。同図 (a)、(b) は、図 14 (a)、(b) と同じである。図 14 (b) に続いて、溝 31 表面から p 領域 32 を p コレクタ領域 3 と p 領域 11 に接するように形成する (同図 (c))。その後、この溝 31 を図示しないガラスなど絶縁膜でパッシベーションする。

【0039】この p 領域 32 を形成することで、空乏層が、ガードリング構造 13 の構成する外周端の p n 接合

23 から、p エミッタ領域 2 の方向に向かって広がり、順方向耐圧と同様に逆方向耐圧を得ることができる。この p 領域 32 は、埋め込み分離構造の p 領域と同様の働きをするが、埋め込み分離構造のようにエビタキシャル成長工程という高コストの工程は不要で、溝 31 を形成し、拡散工程で p 領域 31 を形成するという極めて低コストで逆方向耐圧を得る半導体装置を形成できる。また、図 15 の半導体装置と類似の半導体装置は、図 4 を除く、図 1 から図 10 の半導体装置のベベル面 (半導体基板の端面) に p 領域を形成することで得ることができる。

【0040】図 16 は、この発明の半導体装置を逆並列に接続し、双方向半導体装置とした例である。絶縁基板 61 上に独立した金属板 62、63 を固着し、その上に第 1 IGBT 64 と第 2 IGBT 65 のコレクタ電極 9a、9b をそれぞれ固着する。第 1 IGBT 64 のエミッタ電極 6a と金属板 63 を接続し、エミッタ電極 8a を主端子 T1 と接続する。また、金属板 62 を第 2 IGBT のエミッタ電極 8b と接続し、このエミッタ電極 8b を主端子 T2 と接続する。このようにして、第 1 IGBT 64 と第 2 IGBT 65 が逆並列接続される。また、第 1 IGBT 64 および第 2 IGBT 65 のゲート電極 6a、6b とゲート端子 G1、G2 とそれぞれ接続する。これらの逆並列された IGBT 64、65 を一個のパッケージ 70 に収納して、主端子 T1、T2 とゲート端子 G1、G2 を有する双方向半導体装置が得られる。勿論、個別のパッケージに収納された IGBT 64、65 を互いに逆並列してもよい。この双方向半導体装置を用いることにより、直流はもとより交流の電力を制御することができる。

【0041】前記の各実施例は素子耐圧が 600V 以下と比較的低耐圧素子に適用される。素子耐圧が 600V を超えると、n ベース領域 1 の厚みが厚くなり、ベベル構造を n ベース領域 1 全体に亘って形成することが困難となる。このように、ベベル 1 が p n 接合 16 に達していない場合でも、耐圧は維持させる方法をつぎに説明する。

【0042】図 18 は、この発明の第 16 実施例の半導体装置の要部断面図である。図 1 との違いは、p コレクタ領域 3 に接して、p 領域 81 を n ベース領域 1 の側壁にベベル構造部に達するように形成した点である。この p 領域 81 は埋め込みで形成する。このように、p 領域 81 を設けることで、p n 接合 21 が逆バイアスされた場合、空乏層は n ベース領域 2 内を上方、つまり、p ベース領域 2 や p 領域 11 に向かって広がると共に、p 領域 81 から n ベース領域 1 内を横方向にも広がり、安定した耐圧特性を得ることができる。また、p 領域 81 が無い箇所はベベル構造が形成されているために、空乏層が n ベース領域 1 内に広がり易くなっている。

【0043】図 19 は、この発明の第 17 実施例の半導

体装置の要部断面図である。図2との違いは、p領域11に接して、p領域82をnベース領域1の側壁にベベル構造部に達するように形成した点である。このp領域82は埋め込みで形成する。図18と同じで、nベース領域1とp領域21のpn接合が逆バイアスされた場合、空乏層はnベース領域1の上方、つまり、p領域11に向かって広がると共に、空乏層がp領域82に達すると、nベース領域1内を横方向に広がり、安定した耐圧特性を得ることができる。

【0044】図20は、この発明の第18実施例の半導体装置の要部断面図である。図4との違いは、溝31の先端がpn接合21に達せず、nベース領域1内にあり、p領域81がpコレクタ領域3より深く、この溝31に達するように形成されてる点である。図18と同じ効果があり、安定した耐圧特性を得ることができる。図21は、この発明の第19実施例の半導体装置の要部断面図である。図5との違いは、溝32の先端がp領域11に達せず、nベース領域1内にあり、p領域82がp領域11より深く、この溝32に達するように形成されてる点である。図19と同じ効果があり、安定した耐圧特性を得ることができる。

【0045】図22は、この発明の第20実施例の半導体装置の要部断面図である。これは、図20の溝31の底部の位置で切断して形成される。p領域81があるために、この切断面88は化学処理なしでも構わない。効果は図20と同じであり、安定した耐圧特性を得ることができる。図23は、この発明の第21実施例の半導体装置の要部断面図である。これは、図21の溝32の底部の位置で切断して形成される。p領域82があるために、この切断面89は化学処理なしでも構わない。効果は図21と同じである。

【0046】図24は、この発明の第22実施例の半導体装置の要部断面図である。図20の溝31の表面層にp層83を形成し、p領域11とp領域81がp層83で繋げる。このように、nベース領域1の側面がp領域で囲むことで、空乏層がnベース領域1内に拡がり易くなり、安定な耐圧特性を得ることができる。図25は、この発明の第23実施例の半導体装置の要部断面図である。図21の溝32の表面層にp層84を形成し、p領域11とp領域81がp層84で繋げる。このように、nベース領域1の側面がp領域で囲むことで、空乏層がnベース領域1内に拡がり易くなり、安定な耐圧特性を得ることができる。

【0047】図26は、この発明の第24実施例の半導体装置の要部断面図である。これは、図24の溝31の底部の位置で切断して形成される。p領域81があるために、この切断面88は化学処理なしでも構わない。効果は図24と同じであり、安定した耐圧特性を得ることができる。図27は、この発明の第25実施例の半導体装置の要部断面図である。これは、図25の溝32の底

部の位置で切断して形成される。p領域82があるために、この切断面89はベベル構造で必要とされるパッシベーション処理をしなくても構わない。効果は図25と同じであり、安定した耐圧特性を得ることができる。

【0048】図28から図32は、この発明の第26実施例の半導体装置の製造方法であり、工程順に示した要部製造工程断面図である。n型半導体基板100のpコレクタ領域3を形成する側の主面（裏面側）で、ベベル構造が形成される予定の箇所に、埋め込みによるp領域81を形成する（図28）。

【0049】つぎに、反対の主面の表面層に、ガードリング構造13のp領域11や活性領域14のpベース領域2、nエミッタ領域4、ゲート電極6およびエミッタ電極8などを形成する（図29）。つぎに、pコレクタ領域3を形成する（図30）。つぎに、溝31をp領域81に達するように形成する（図31）。この図31が図20となる。また、この図31の溝31の底部から切断線86に沿って切断すると図22となる。

【0050】つぎに、溝31の表面層にp層83を形成する（図32）。この図32が図26となる。また、この図32の溝の底部から切断線87に沿って切断すると図26となる。図33は、この発明の第27実施例の半導体装置の要部断面図である。この実施例は、図1のガードリング構造をフィールドプレート構造にした場合である。この場合、フィールドプレート構造13aの最外周部に形成されるp領域11aが、図1のガードリング構造13の最外周部に形成されるp領域11に相当する。この場合も図1と同様の効果が期待できる。尚、図33は図1に相当する実施例を示したが、当然、図2から図27のガードリング構造13を図33のフィールドプレート構造13aとしても、同様の効果が期待できる。

【0051】また、図中の51はa-Si膜などの抵抗性絶縁膜、52はフィールドプレート部、12aは層間絶縁膜などの絶縁膜、24a、24bはAl-Si膜などの金属膜、14aは活性領域である。

【0052】

【発明の効果】この発明によれば、プレーナ型の耐圧構造を有する半導体装置において、nベース領域とpコレクタ領域のpn接合の端部をベベル構造の耐圧構造にすることで、逆方向耐圧を有する半導体装置にすることができる。また、半導体基板が厚い場合、ベベル構造が形成されない端部にp領域をpコレクタ領域または／およびガードリングのp領域に接続するように形成することで、逆方向耐圧を有する半導体装置にすることができる。

【図面の簡単な説明】

【図1】この発明の第1実施例の半導体装置の要部断面図

【図2】この発明の第2実施例の半導体装置の要部断面

図

【図 3】この発明の第 3 実施例の半導体装置の要部断面図

図

【図 4】この発明の第 4 実施例の半導体装置の要部断面図

図

【図 5】この発明の第 5 実施例の半導体装置の要部断面図

図

【図 6】この発明の第 6 実施例の半導体装置の要部断面図

図

【図 7】この発明の第 7 実施例の半導体装置の要部断面図

図

【図 8】この発明の第 8 実施例の半導体装置の要部断面図

図

【図 9】この発明の第 9 実施例の半導体装置の要部断面図

図

【図 10】この発明の第 10 実施例の半導体装置の要部断面図

図

【図 11】この発明の第 11 実施例の半導体装置の要部断面図

図

【図 12】この発明の第 12 実施例の半導体装置の要部断面図

図

【図 13】この発明の第 13 実施例の製造方法で、(a)、(b)は工程順に示した要部工程断面図

【図 14】この発明の第 14 実施例の製造方法で、(a)、(b)は工程順に示した要部工程断面図

【図 15】この発明の第 15 実施例の製造方法で、(a)、(c)は工程順に示した要部工程断面図

【図 16】この発明の半導体装置を逆並列に接続し、双方向半導体装置とした構成図

【図 17】従来の IGBT の要部断面図

【図 18】この発明の第 16 実施例の半導体装置の要部断面図

図

【図 19】この発明の第 17 実施例の半導体装置の要部断面図

図

【図 20】この発明の第 18 実施例の半導体装置の要部断面図

図

【図 21】この発明の第 19 実施例の半導体装置の要部断面図

図

【図 22】この発明の第 20 実施例の半導体装置の要部断面図

図

【図 23】この発明の第 21 実施例の半導体装置の要部断面図

図

【図 24】この発明の第 22 実施例の半導体装置の要部断面図

図

【図 25】この発明の第 23 実施例の半導体装置の要部断面図

図

【図 26】この発明の第 24 実施例の半導体装置の要部断面図

図

【図 27】この発明の第 25 実施例の半導体装置の要部

断面図

【図 28】この発明の第 26 実施例の半導体装置の要部製造工程断面図

【図 29】図 28 に続く、この発明の第 26 実施例の半導体装置の要部製造工程断面図

【図 30】図 29 に続く、この発明の第 26 実施例の半導体装置の要部製造工程断面図

【図 31】図 30 に続く、この発明の第 26 実施例の半導体装置の要部製造工程断面図

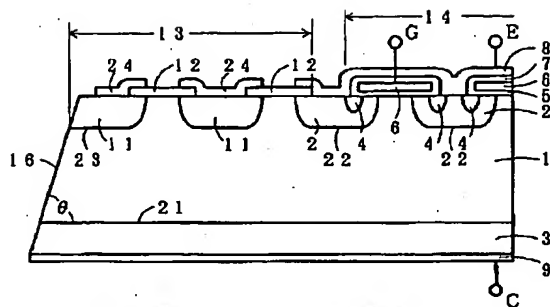
【図 32】図 31 に続く、この発明の第 26 実施例の半導体装置の要部製造工程断面図

【図 33】この発明の第 26 実施例の半導体装置の要部断面図

【符号の説明】

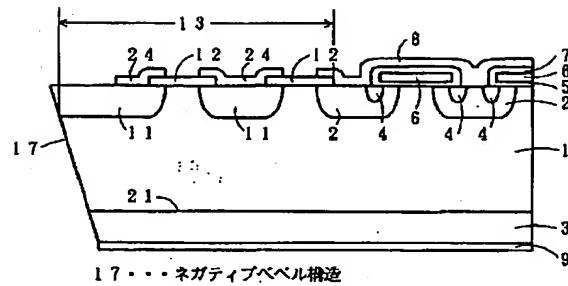
- 1 n ベース領域
- 2 p ベース領域
- 3 p コレクタ領域
- 4 n エミッタ領域
- 5 ゲート酸化膜
- 6、6 a、6 b ゲート電極
- 7 層間絶縁膜
- 8、8 a、8 b エミッタ電極
- 9、9 a、9 b コレクタ電極
- 11、11 a p 領域
- 12 酸化膜
- 12 a 絶縁膜
- 13 ガードリング構造
- 13 a フィールドプレート構造
- 14、14 a 活性領域
- 16 ポジティブベベル構造
- 17 ネガティブベベル構造
- 18 ダブルポジティブベベル構造
- 21、22、23 p n 接合
- 24、24 a、24 b 金属膜
- 25 斜面
- 31、32 46、47、48、51 溝
- 41、42、43、44、45 溝側面
- 51 抵抗性絶縁膜
- 52 フィールドプレート部
- 61 絶縁基板
- 62、63 金属板
- 64 第 1 IGBT
- 65 第 2 IGBT
- 70 パッケージ
- 81、82 p 領域
- 83、84 p 層
- 86、87 切断線
- 88、89 切断面
- 100 n 型半導体基板

【図1】



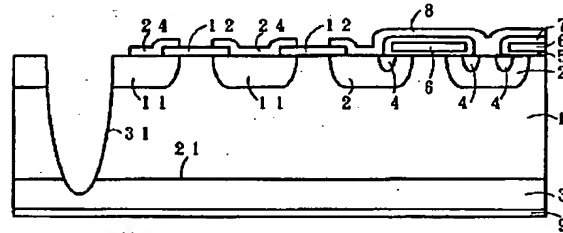
- | | | | |
|---|---------|----|------------|
| 1 | ベース領域 | 11 | D領域 |
| 2 | nベース領域 | 12 | 酸化膜 |
| 3 | pベース領域 | 13 | ゲートリング構造 |
| 4 | pコレクタ領域 | 14 | 活性領域 |
| 5 | nコレクタ領域 | 16 | ボジティブペベル構造 |
| 6 | ゲート絶縁膜 | 21 | pn接合 |
| 7 | 層間絶縁膜 | 22 | pn接合 |
| 8 | エミッタ電極 | 23 | pn接合 |
| 9 | コレクタ電極 | 24 | 金属膜 |

【図2】



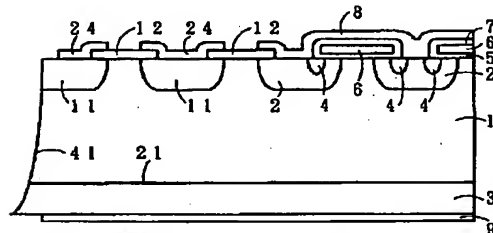
17・・・ネガティブペベル構造

【図4】



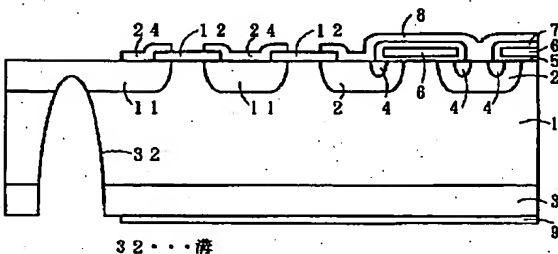
31・・・溝

【図6】



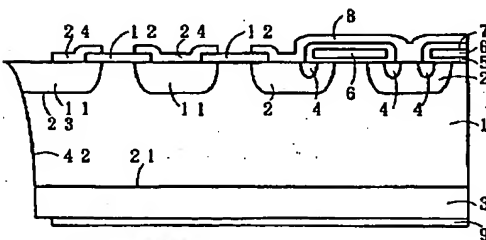
41・・・溝側面

【図5】



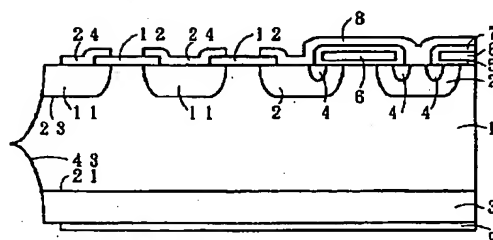
32・・・溝

【図7】



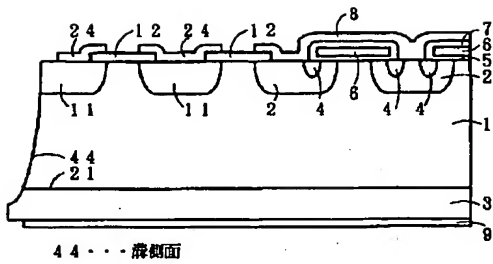
42・・・溝側面

【図8】

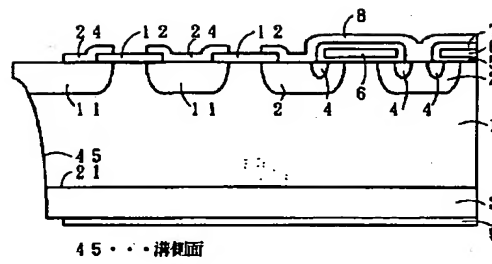


43・・・溝側面

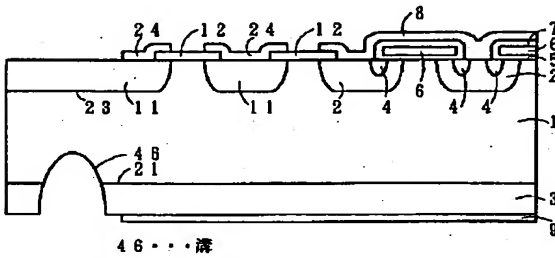
【図9】



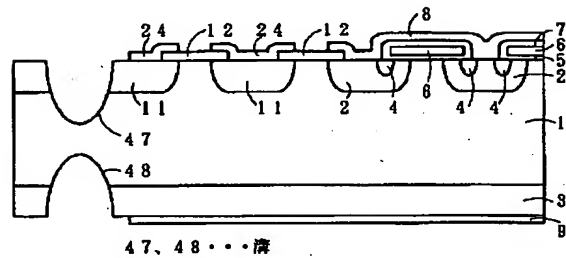
【図10】



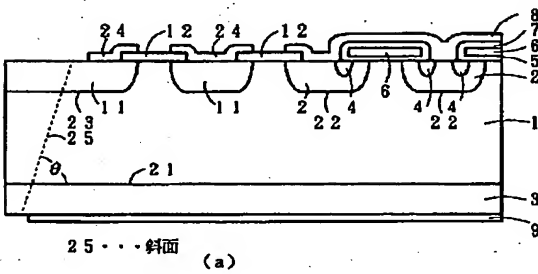
【図11】



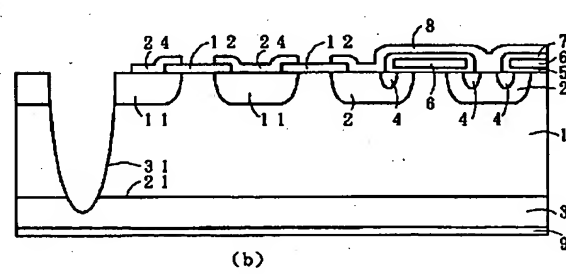
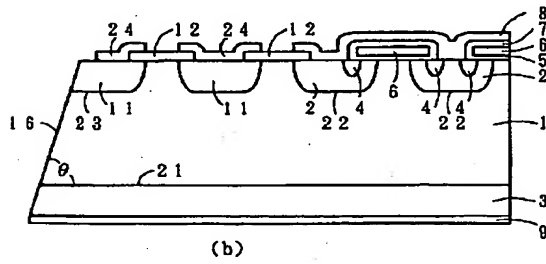
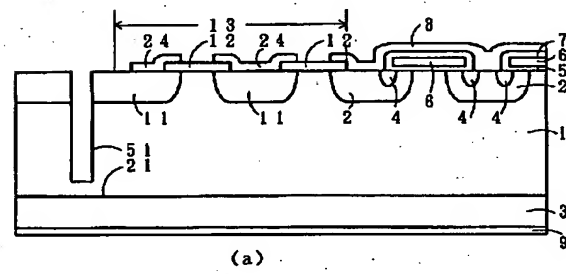
【図12】



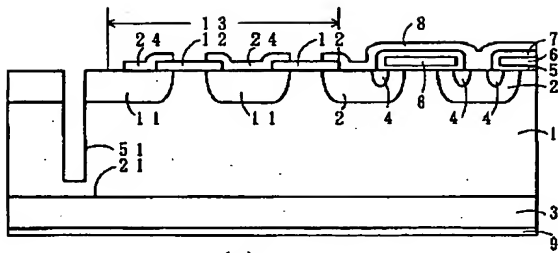
【図13】



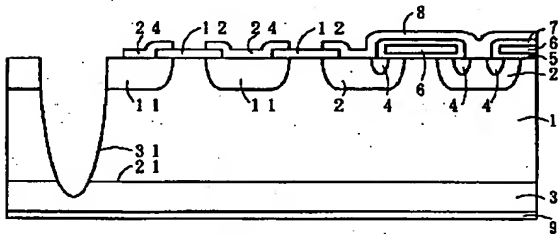
【図14】



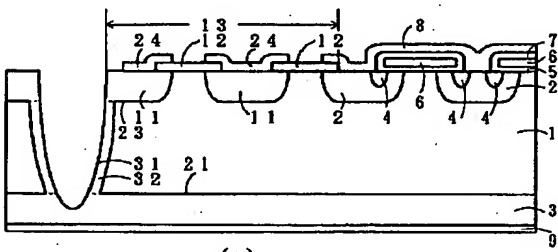
【図15】



(a)

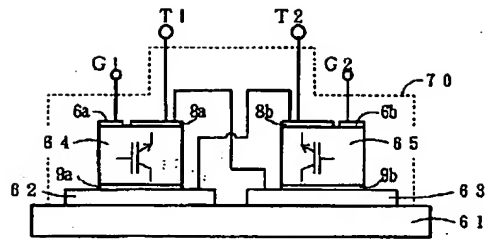


(b)

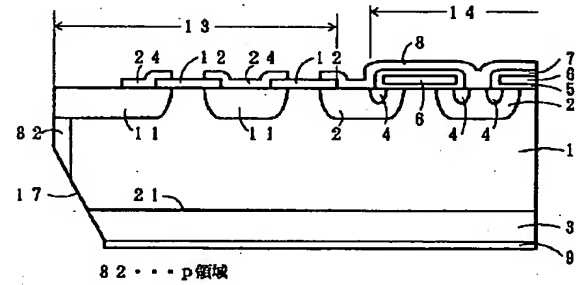


(c)

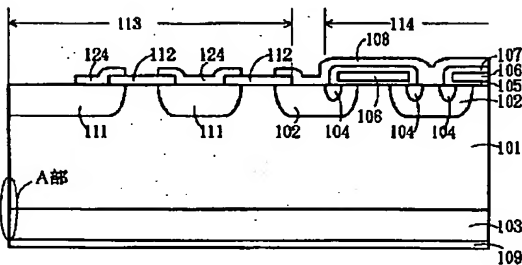
【図16】



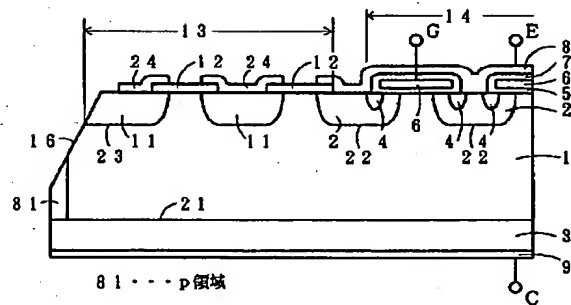
【図19】



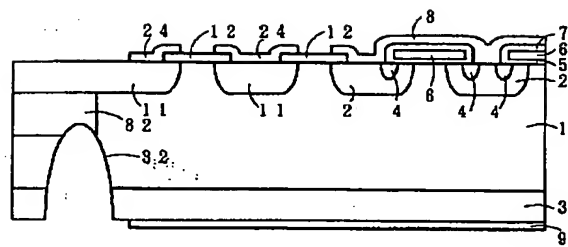
【図17】



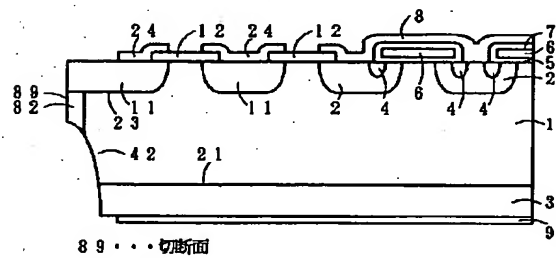
【図18】



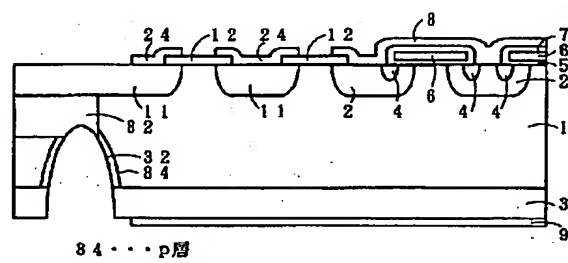
【図 2 1】



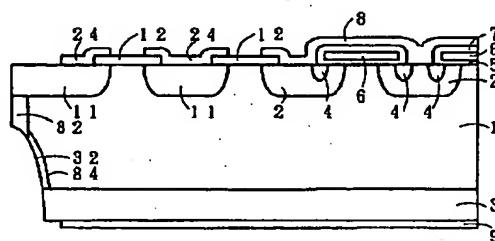
【図 23】



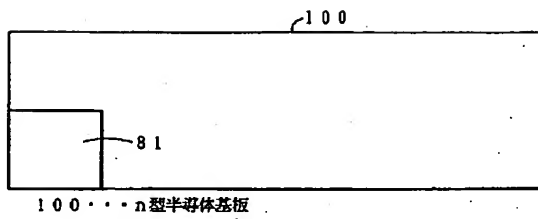
【図 25】



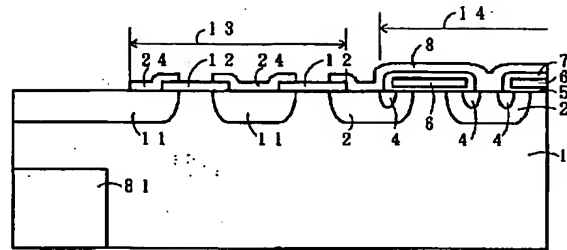
【图 27】



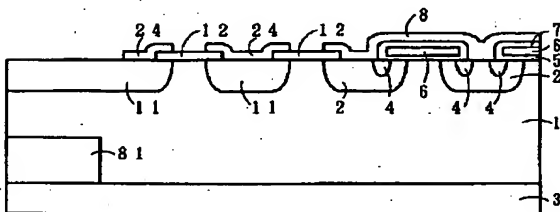
【図28】



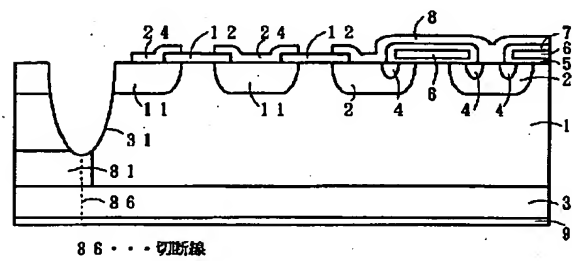
【図29】



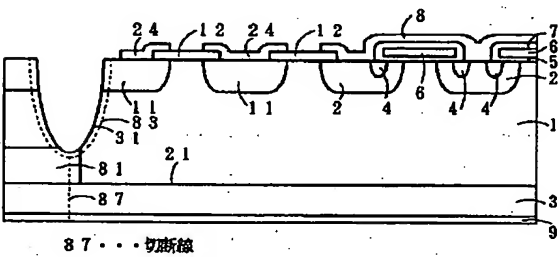
【図30】



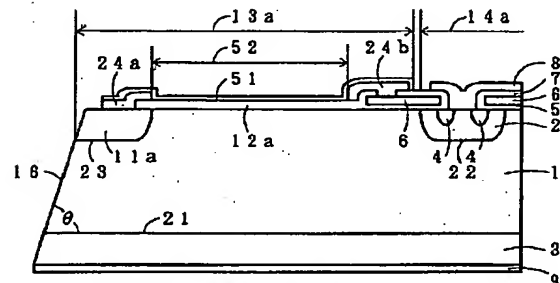
【図31】



【図32】



【図33】



- 11a...p領域
- 12a...絶縁膜
- 13a...フィールドプレート構造
- 14a...活性領域
- 24a、24b...金属膜
- 51...抵抗性絶縁膜
- 52...フィールドプレート部